

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-144944

(43)Date of publication of application : 11.06.1993

(51)Int.Cl. H01L 21/82  
H01L 21/66  
H01L 27/04

(21)Application number : 03-217088

(71)Applicant : KAWASAKI STEEL CORP

(22)Date of filing : 28.08.1991

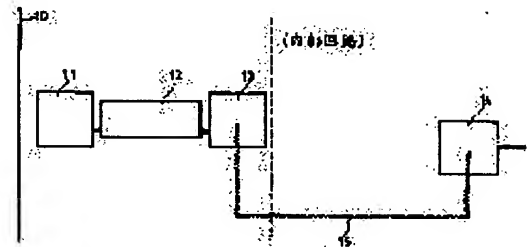
(72)Inventor : KUGISHIMA MASAHIRO

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT AND ITS MANUFACTURE

## (57)Abstract:

PURPOSE: To improve freedom of circuit arrangement and wiring by forming a protective film wherein a window is provided to expose a plurality of pads and by electrically connecting the plurality of pads mutually via an upper part of the protective film.

CONSTITUTION: A first pad 11 is arranged near a peripheral edge 10 of a semiconductor chip, an input/output buffer circuit 12 is connected thereto and a second pad 13 is arranged in the inside circuit side to be connected to the input/ output buffer circuit 12. A third pad 14 is arranged in a position apart from the second pad 13 in the inside circuit and is connected to a logical circuit. In order to expose pads 11, 13, 14, a window is formed in a protecting film which corresponds to the regions and the second pad 13 and the third pad 14 are connected mutually by a bonding wire. Thereby, freedom of circuit arrangement and wiring can be improved.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平5-144944

(43) 公開日 平成5年(1993)6月11日

(51) Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/82				
21/66	E	8406-4M		
27/04	T	8427-4M		
		9169-4M	H 0 1 L 21/82	P
		9169-4M		T
審査請求 未請求 請求項の数4(全 7 頁) 最終頁に続く				

(21) 出願番号 特願平3-217088

(22) 出願日 平成3年(1991)8月28日

(71) 出願人 000001258

川崎製鉄株式会社

兵庫県神戸市中央区北本町通1丁目1番28号

(72) 発明者 釘嶋 正弘

東京都千代田区内幸町2丁目2番3号 川崎製鉄株式会社東京本社内

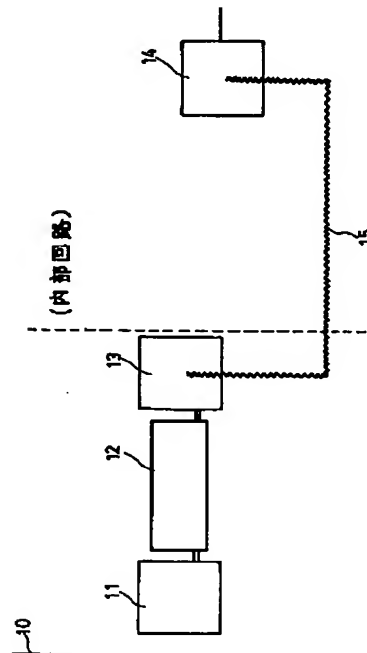
(74) 代理人 弁理士 小杉 佳男 (外1名)

(54) 【発明の名称】 半導体集積回路及びその製造方法

(57) 【要約】

【目的】 本発明は、半導体集積回路及びその製造方法に関し、回路配置、配線の自由度を向上させる。またテスト容易化を図る。

【構成】 複数のパッドがそれぞれ露出するように窓が設けられた保護膜を形成し、これら複数のパッドを保護膜の上部を経由して互いに電氣的に接続する。



## 【特許請求の範囲】

【請求項1】 複数のパッドと、該複数のパッドをそれぞれ上方に露出させるように窓が設けられた保護膜と、前記複数のパッドを、前記保護膜の上部を經由して互いに電氣的に接続する導線とを備えたことを特徴とする半導体集積回路。

【請求項2】 入力バッファもしくは出力バッファと、該入力バッファもしくは出力バッファのそれぞれ入力側もしくは出力側に接続された第1のパッドと、前記入力バッファもしくは出力バッファのそれぞれ出力側もしくは入力側に接続された第2のパッドと、内部回路と接続された第3のパッドと、前記第2のパッドと前記第3のパッドをそれぞれ上方に露出させるように窓が設けられた保護膜と、前記第2のパッドと前記第3のパッドを、前記保護膜の上部を經由して互いに電氣的に接続する導線とを備えたことを特徴とする半導体集積回路。

【請求項3】 前記複数のパッドどうし、もしくは前記第2のパッドと前記第3のパッドがフィルム上に配線された導線により接続されてなることを特徴とする請求項1又は2記載の半導体集積回路。

【請求項4】 半導体集積回路内に、入力バッファもしくは出力バッファのそれぞれ入力側もしくは出力側と接続された第1のパッドのほか、該入力バッファもしくは出力バッファのそれぞれ出力側もしくは入力側と接続された第2のパッドと、内部回路内のテスト用信号を入力もしくは出力するノードに接続された第3のパッドとを配置し、

前記第2のパッド及び前記第3のパッドをそれぞれ上方に露出させるように窓を設けた保護膜を形成し、

前記半導体集積回路を、上方に窓が設けられたパッケージに収納し、

また前記半導体集積回路とは別に、前記第2のパッドと前記第3のパッドがテスト用に接続されるように導体が配線された第1のフィルムと、前記第2のパッドと前記第3のパッド、もしくは複数の前記第3のパッドどおしが前記半導体集積回路の最終動作に接続されるように導体が配線された第2のフィルムとを用意し、

前記パッケージに収納された前記半導体集積回路上に前記第1のフィルムを配置して該半導体集積回路の回路動作テストを行い、

前記第1のフィルムに代えて前記第2のフィルムを前記半導体集積回路上に配置し、

前記パッケージの窓を塞ぐことを特徴とする半導体集積回路の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、半導体集積回路及びその製造方法に関する。

## 【0002】

【従来の技術】 近年、半導体集積回路の製造において、

多層配線技術、CAD設計技術の進歩に伴い、デバイスの高集積化が進んでいる。このような高集積化に伴い、設計した回路機能、性能のテストの困難性、テストコストは急激に増大しており、現在LSI製造総コストに対するテストコストは約半分を占めるに至っている。このような状況の下でaアドホック法、bスキャンテスト法、cセルフテスト法等のテスト容易化技術が提唱され、実用化されつつある。しかし、これらの技術は論理回路内にテスト容易化のためのテスト回路を設計、付加するという手法を特徴としており、チップ面積の増加は不可避である。また、これらの技術は入力バッファ又は出力バッファ（以下、これらを併せて入出力バッファと呼ぶ。またバッファは保護回路及びその他周辺回路を含むものとする。）の位置、配列形状の制約に基づく論理ブロックの配置、配線上の自由度の制限条件を前提にしており、高集積化に伴って回路設計が難しくなっており、多くの労力が払われている。

【0003】 また高集積化技術において入出力バッファは半導体集積回路チップ（以下、LSIチップと呼ぶ。）外周部に配置、固定されているため、論理ブロックの配置、配線においてはLSIチップの形状、入出力バッファの配列形状、位置による制約をうけ、配置、配線の自由度は制限されている。

## 【0004】

【発明が解決しようとする課題】 従来、テスト容易化設計において、入出力バッファはLSIチップ外周部にあり、チップ内部の任意の回路ノードの入出力信号は直接には観測不可能で、該ノードの観測のためには特別にテストパターンを作成する必要があるという制約を受けており、一般に、設計した回路の機能を検証する上で必要な全ての回路ノードの信号を観測するためには、テストパターン数、及びその設計工数は指数的に増大し、テスト容易化のためのテスト回路の設計、付加においては高度の知識、熟練が必要とされていた。この状況のもとで、多くの労力、コストが費やされていた。

【0005】 また、従来のテスト容易化設計では、テスト回路を余分に論理回路内に組込む必要があるため、チップ面積が1～5割程増加し、それによる製品歩留りの低下、高集積化上の障害等の問題が発生していた。一般に回路規模が小さい場合は従来のテスト容易化設計のメリットは少ない。上述のように、テスト容易化技術に限らず、チップの高集積化を追及する上でも、入出力バッファの配置位置、配列形状の制約は、論理ブロックの配置、配線の自由度を制限し、また集積回路内の任意の回路ノードどうしを接続する上で制約を与える等の問題を発生させ、チップの高集積化を達成する上で障害となっていた。

【0006】 本発明は、上記の点に鑑み、回路配置、配線の自由度を向上させた半導体集積回路を提供することを第1の目的とする。また、本発明は上記回路配置、配

線の自由度を向上させた半導体集積回路に関し、テスト容易化手法を実現させた製造方法を提供することを第2の目的とする。

【0007】

【課題を解決するための手段】上記第1の目的を達成するための本発明の半導体集積回路は、複数のパッドと、該複数のパッドをそれぞれ上方に露出させるように窓が設けられた保護膜と、前記複数のパッドを、前記保護膜の上部を経由して互いに電気的に接続する導線とを備えたことを特徴とするものである。

【0008】ここで、上記本発明の半導体集積回路の一態様として、入力バッファもしくは出力バッファと、該入力バッファもしくは出力バッファのそれぞれ入力側もしくは出力側に接続された第1のパッドと、前記入力バッファもしくは出力バッファのそれぞれ出力側もしくは入力側に接続された第2のパッドと、内部回路と接続された第3のパッドと、前記第2のパッドと前記第3のパッドをそれぞれ上方に露出させるように窓が設けられた保護膜と、前記第2のパッドと前記第3のパッドを、前記保護膜の上部を経由して互いに電気的に接続する導線とを備えた半導体集積回路としてもよい。

【0009】ここで、前記複数のパッドどうし、もしくは前記第2のパッドと前記第3のパッドがフィルム上に配線された導線により接続することが好ましい。また、上記第2の目的を達成するための本発明の半導体集積回路の製造方法は、半導体集積回路内に、入力バッファもしくは出力バッファのそれぞれ入力側もしくは出力側と接続された第1のパッドのほか、該入力バッファもしくは出力バッファのそれぞれ出力側もしくは入力側と接続された第2のパッドと、内部回路内のテスト用信号を入力もしくは出力するノードに接続された第3のパッドとを配置し、前記第2のパッド及び前記第3のパッドをそれぞれ上方に露出させるように窓を設けた保護膜を形成し、前記半導体集積回路を、上方に窓が設けられたパッケージに収納し、また前記半導体集積回路とは別に、前記第2のパッドと前記第3のパッドがテスト用に接続されるように導体が配線された第1のフィルムと、前記第2のパッドと前記第3のパッド、もしくは複数の前記第3のパッドどおしが前記半導体集積回路の最終動作用に接続されるように導体が配線された第2のフィルムとを用意し、前記パッケージに収納された前記半導体集積回路の上に前記第1のフィルムを配置して該半導体集積回路の回路動作テストを行い、前記第1のフィルムに代えて前記第2のフィルムを前記半導体集積回路の上に配置し、前記パッケージの窓を塞ぐことを特徴とするものである。

【0010】

【作用】本発明の半導体集積回路は、保護膜に窓を設けてパッドを露出させておき、保護膜の上部を経由して、例えばボンディング法、フィルムキャリア法等により配

線するようにしたものであるため、例えば内部論理回路の空領域にパッドを配置して互いに離れた論理回路どうしを接続すること等が可能となり、回路配置の自由度、配線の自由度が大幅に向上する。

【0011】また本発明の半導体集積回路の一態様として、前記第2のパッドと前記第3のパッドを保護膜の上部を経由して接続するように構成すると、これまで入出力バッファの配置位置、配列形状の制限により論理ブロックの配置、配線の自由度が限られ、このために例えばチップ内部回路内のあるノードから入出力バッファまでの配線スペースがとれず高集積化の障害になる場合等においても、上記ノード位置に第3のパッドを配置し、保護膜の上を経由して前記第2のパッドまで配線することにより、入出力バッファまで配線が可能となり、高集積化が達成される。

【0012】ここで上記半導体集積回路において保護膜の上部を経由する配線は上記第1の目的、即ち、回路配置、配線の自由度の向上の目的のみのためには、その配線方法を問うものではなく、例えばボンディングワイヤによる配線であってもよいが、半導体集積回路の製造工程におけるテストの容易化を実現するためにはフィルム上に配線された導線で接続するほうが望ましい。

【0013】また、上記本発明の半導体集積回路の製造方法は、チップ内部回路の論理ブロックの任意の入出力ノードに第3のパッドを配置し、このノードと入出力バッファとの中継として入出力バッファの内部回路側に第2のパッドを配置し、これらパッドに対応する最上層保護膜に窓を開けて第2及び第3のパッドが露出するようにしておき、回路機能のテスト用にこれらのパッドを保護膜の上を経由して互いに配線することにより、チップ外部から入力バッファを経由して上記任意の回路ノードへの直接入力、または出力バッファを経由して上記任意の回路ノードの出力信号をチップ外部へ直接に出力、観測することを可能にし、テストが完了した後に上記保護膜上の配線を製品用に切り替えて製品パッケージとして組み立てることが可能となる。

【0014】テスト時において上記内部回路ノードは第2のパッドを中継として入出力バッファを経由しているため、チップ外部からの入力、チップ外部への出力に際し、各々、静電破壊、出力レベル調整等の問題がなく、通常のチップと全く同等に扱うことができる。本発明により、テスト時において、入出力バッファからチップ内部のいかなる位置の回路ノードに対しても、それが入出力バッファ近傍にある場合と等価に扱うことができ、設計した回路機能のテストにおいて、テストパターン的大幅な簡易化を実現することができ、従来のテスト容易化設計で問題になっていた高集積化に伴ったテスト回路設計の複雑さ、費用、労力の低減が実現可能となる。

【0015】また、従来テスト容易化設計のようにテスト回路を付加する必要がなく、本発明によるチップ面積

5

の増大は従来手法と比べ小さく、高集積化を迫及する上でも有効である。

【0016】

【実施例】以下、本発明の実施例について説明する。本発明においては、保護膜に窓を設けたパッドを露出させておき、保護膜の上を経由して配線することを特徴とするが、この配線手法としてはワイヤボンディング法、フィルムキャリア及びバンパを用いた手法等がある。

【0017】図6はフィルムキャリア及びバンパを用いた手法（フィルムキャリア法と呼ぶ）の一例を示した図である。図6（A）、（B）は、それぞれ樹脂フィルム1にリード（導線）が付されたフィルムキャリア3を示した図、及びバンパ形成用基板4上にバンパ（金属突起）5が付された転写用バンパ6を示した図であり、図6（c）に示すように、リード2の先端にバンパ5が接合され、このリード2の先端に接合されたバンパ5が半導体チップ7（図6（D））上のパッド8の上に重なるように配置され、これによりパッド8とリード2がバンパ5を介して電気的に接続される。

【0018】なお、ここでは半導体チップ7上のパッド8とリード2とを接続する場合について述べたが、このリード2の他端は上記と同様にして例えば他のパッドと接続される。図1は、本発明の半導体集積回路の一実施例を示した模式図である。半導体チップの周縁10の近傍に第1のパッド11が配置されており、この第1のパッド11に入出力バッファ回路12が接続されている。また、この入出力バッファ12の内部回路側には第2のパッド13が配置され、入出力バッファ回路12と接続されている。また内部回路中の、第2のパッド13と離れた位置に、第3のパッド14が配置されており、このパッド14は図示しない論理回路に接続されている。

【0019】このように配置された半導体集積回路において、第1のパッド11、第2のパッド13及び第3のパッド14が露出するようにそれらの領域に対応する保護膜には窓が形成される。その後第2のパッド13と第3のパッド14がボンディングワイヤ又はフィルムキャリア法により互いに接続される。図1において15は保護膜の上を経由する配線を示す。

【0020】図2は本発明による高集積化手法を示した模式図である。この図において、図1に示した実施例の各構成要素と対応する構成要素には図1において付した番号と同一の番号を付し、共通点についての説明は省略する。半導体チップの周縁10の近傍に第1のパッド11が多数配列され、そのすぐ内側に入出力バッファ12、その内側に第2のパッド13が各第1のパッド11と対応するように設けられている。内部回路16は4つのブロック16a、16b、16c、16dに分かれており、図の右下の一角に空白部17を有している。このような場合に、通常アルミニウム配線では各ブロック16a、16b、16c、16dの相互間や各ブロック

6

16a、16b、16c、16dと入出力バッファ12との間を配線できる領域がない場合であっても、空白部17に第3のパッド14を配置し、第2のパッド13及び第3のパッド14の上に窓を設けた保護膜を形成し、これら第3のパッド14の相互間、あるいは第2のパッド13と第3のパッド14との間を保護膜の上を経由してワイヤボンディングあるいはフィルムキャリア法で接続することにより配線が可能となり、これにより、これらの相互間を通常の配線で結ぶように構成した場合と比べ高集積化を図ることができることとなる。

【0021】図3は本発明によるテスト容易化手法の一実施例を示した模式図である。このテスト容易化手法では、保護膜の上の配線は、主としてフィルムキャリア法を用いた方が望ましい。内部回路内に例えば論理回路18を有し、この論理回路18を構成する各段18a、18b、18cのノードの論理レベルをテストする際に論理回路18の各段18a、18b、18cのノードに第3のパッド14を配しておき、テストの段階ではフィルムキャリア法により図3（A）に示すように第2のパッド13と第3のパッド14とを接続して各段18a、18b、18cのノードの論理レベルを直接にチップ外部に出力して観測し、このテストが終了した後、フィルムキャリアを製品用のそれに取り換えることにより、図3（B）に示すように第3のパッド14の相互間が接続され、通常製品としての機能を持たせることが可能となる。

【0022】ここで、テスト容易化配線を実施しない場合、18cのノードの論理レベルをテストをするためには指数的にテストパターン数が増加する。本発明では主として、図4に示すように例えばPGA（Pin Grid Array）型で、リッドによる密閉で組み立てを完成するパッケージタイプを対象としているがテスト用配線、製品用配線の切り替えができればこれに限られるものではない。

【0023】図4はパッケージに収納された半導体チップを模式的に表わした図、図5は、フィルムキャリアの一例を表わした図である。図4において、PGA型パッケージ20内に半導体チップ21が配置され、この半導体チップ21上の第1のパッド11とパッケージ側の図示しない導体がボンディングワイヤ22で接続されている。

【0024】ここで、例えば図5に示すような、リード2の両端に第2のパッド13、第3のパッド14にそれぞれ対応するバンパ5a、5bが接合されたフィルムキャリア3をテスト用（仮配線用）と製品用（本配線用）との2種類用意しておき、図4に示すように先ずテスト用のフィルムキャリア3を半導体チップ21上においてテストを行い、テスト完了後テスト用のフィルムキャリアに代えて製品用フィルムキャリアにより本配線を実施し、その上にリッド23を載置して固定する。なお、こ

7

のテスト用のフィルムキャリア3は、後に製品用と取換える必要があるため、そのテスト用フィルムキャリア3の bumps 5 a、5 b が一時は確実にパッドに固定されて電氣的に接続されるとともにその交換が容易なようにパッド13、14及び bumps 5 a、5 b を磁性体で形成し、その一方を磁化しておくことが好ましい。このようにテスト用と製品用との双方のフィルムキャリアを用意しておくことにより、従来のテスト容易化設計のようにテスト回路付加によるチップ面積の増大は回避でき、また、任意の回路ノードに物理的にパッドを配置することによりテスト容易化を達成できるため、複雑なテスト用回路設計は不要になり、大幅な設計工数、コストの削減を達成できる。

【0025】また、本発明によるテスト容易化手法と、スキャンテスト法、セルフテスト法等の従来法との組合せによるテストコストの削減も実現可能である。なお、ウェーハからの良品チップの選別を実施する場合には、例えばウェーハプローブ工程において、テスト用配線に対応して作成したプローブカードを用いてウェーハプローブを実施する方法などがある。

【0026】テスト用フィルムキャリアは、何度も繰返し使用可能であるため、必ずしも製品数に合わせて準備する必要はない。

【0027】

【発明の効果】以上説明したように、本発明の半導体集積回路は、保護膜に窓を設けてパッドを露出させておき保護膜の上部を経由して配線したものであるため、回路配置の自由度、配線の自由度が大幅に向上し、高集積化を達成できる。また保護膜の上部を経由する配線をフィルムキャリア法を用いてテスト用と製品用の2種類用意

8

しておき、テスト時と、製品用にそれらを切り替えることによりテスト容易化も実現することができる。

【図面の簡単な説明】

【図1】本発明の半導体集積回路の一実施例を示した模式図である。

【図2】本発明による高集積化手法を示した模式図である。

【図3】本発明によるテスト容易化手法の一実施例を示した模式図である。

【図4】パッケージに収納された半導体チップを模式的に表わした図である。

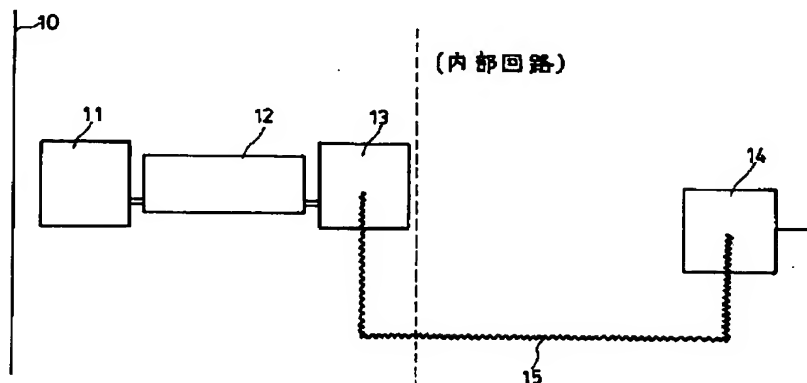
【図5】フィルムキャリアの一例を示した図である。

【図6】フィルムキャリア法の一例を示した図である。

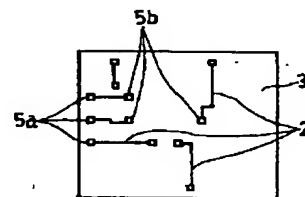
【符号の説明】

- 1 樹脂フィルム
- 2 リード
- 3 フィルムキャリア
- 5 bumps
- 7 半導体チップ
- 8 パッド
- 11 第1のパッド
- 12 入出力バッファ
- 13 第2のパッド
- 14 第3のパッド
- 15 保護膜の上を経由する配線
- 16 内部回路
- 17 空領域
- 18 論理回路
- 20 パッケージ
- 23 リッド

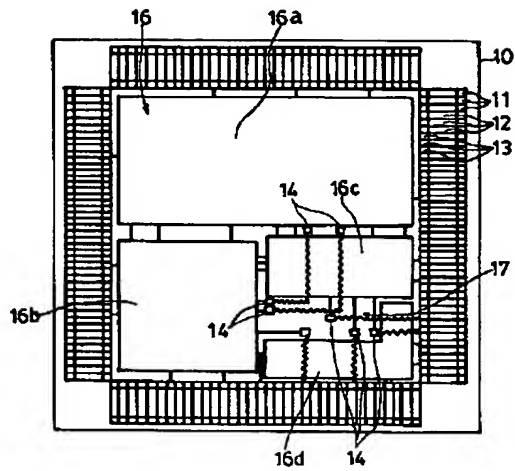
【図1】



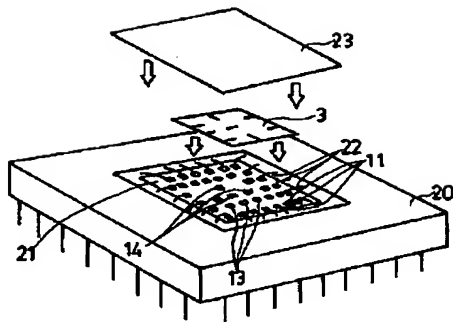
【図5】



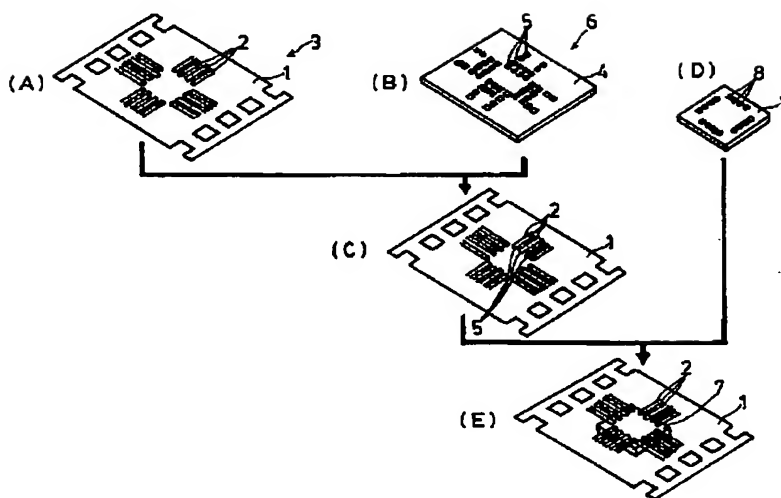
【図2】



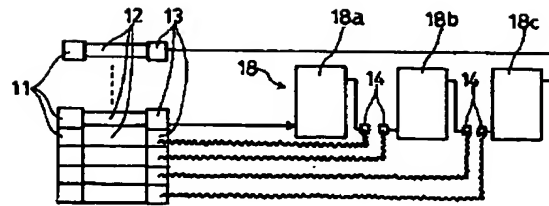
【図4】



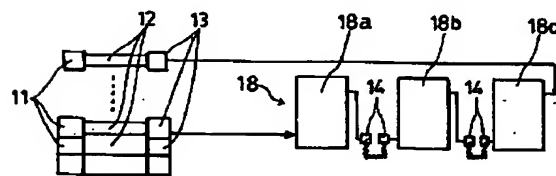
【図6】



【図3】



(A)



(B)



(7)

特開平5-144944

フロントページの続き

(51)Int. Cl.<sup>5</sup>

H01L 27/04

識別記号

庁内整理番号

F I

技術表示箇所

A 8427-4M